『とりあえずビー・・・』

Be-70 取扱説明書

作成 2007 年　8 月 24 日

有限会社スクラムソフト

〒660-0892 兵庫県尼崎市東難波町３丁目２１番３４

TEL : 06-6489-1146　FAX : 06-6489-1444

―― 目次 ――

１．概要..3
２．構成..4
２．１．FPGA..5
２．２．コンフィグレーション ROM...6
２．２．１．ダウンロード（Be-70）...7
２．２．２．ダウンロード（Blaster）...9
２．３．汎用入出力...10
２．４．RS232C 12
２．５．クロック 12
２．７．LED..12
２．８．主要部品 12
３．FPGA ピン一覧表..13
４．コネクタ 16
４．１．外部接続用コネクタ１（J1） 16
４．２．外部接続用コネクタ２（J2） 17
４．３．Be-70 書き込みケーブル用コネクタ（J3） 18
４．３．Blaster 書き込みケーブル用コネクタ（J4） 18
５．電気的特性..19
５．１．絶対最大定格 19
５．２．推奨動作条件 19
６．免責事項 20

１．概要

時代の変遷につれ以前活躍した 8251,8253,8255 と言うような LSI がどんどん姿を消し FPGA に置き替えられているようです。しかし FPGA を使うには電源が 3.3V や 1.2V などという複数の電源が必要である上にコンフィグレーション回路が必要になり、テストで使ったり、試作を作ったりするのも容易でありません。

そこで、『**とりあえずビー・・・**』のキャッチフレーズで作られたのが ALTERA 社の FPGA を搭載したボード ***Be-70*** であります。***Be-70*** は簡単に使えることを念頭において開発されています。

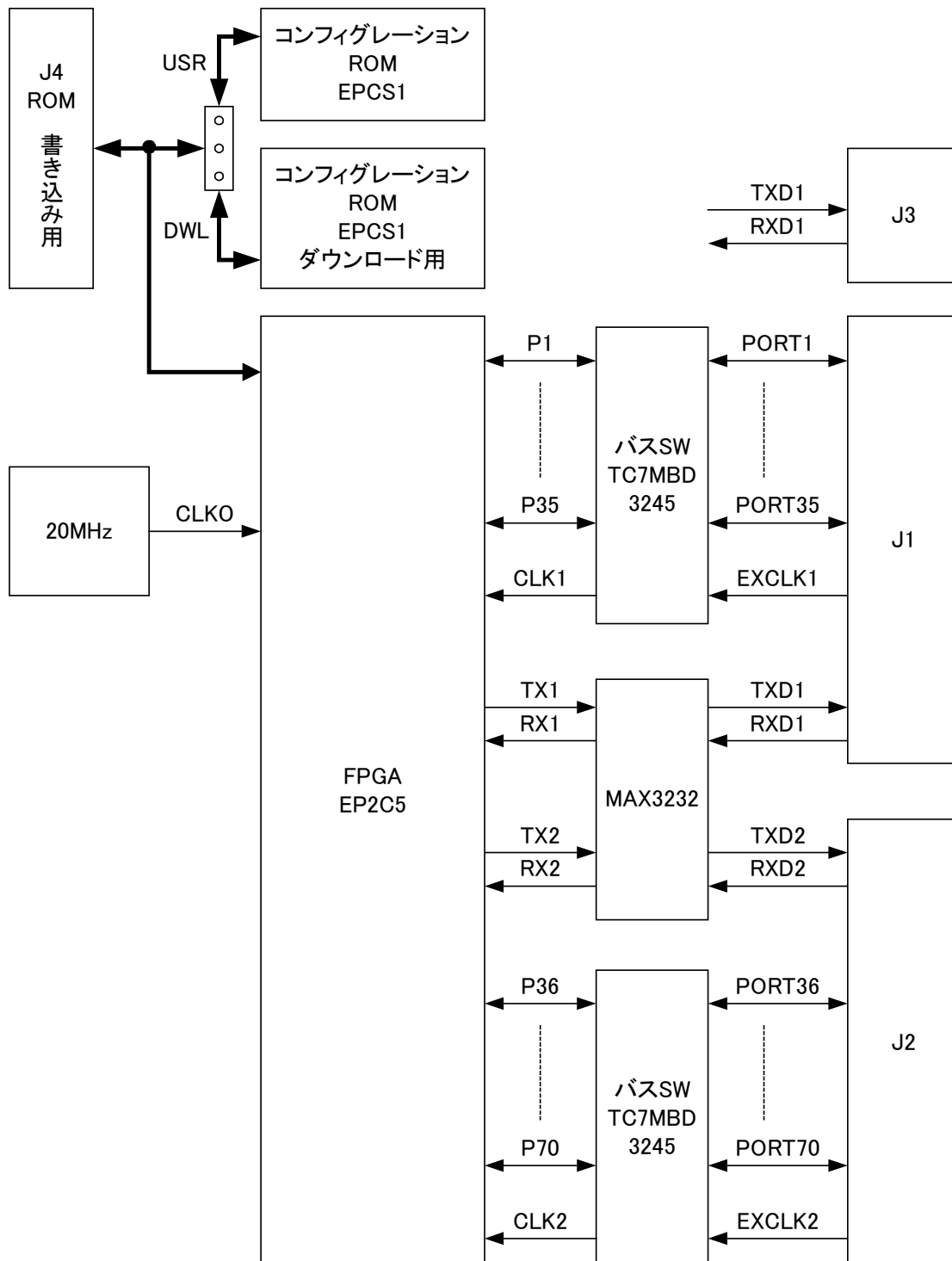
特徴

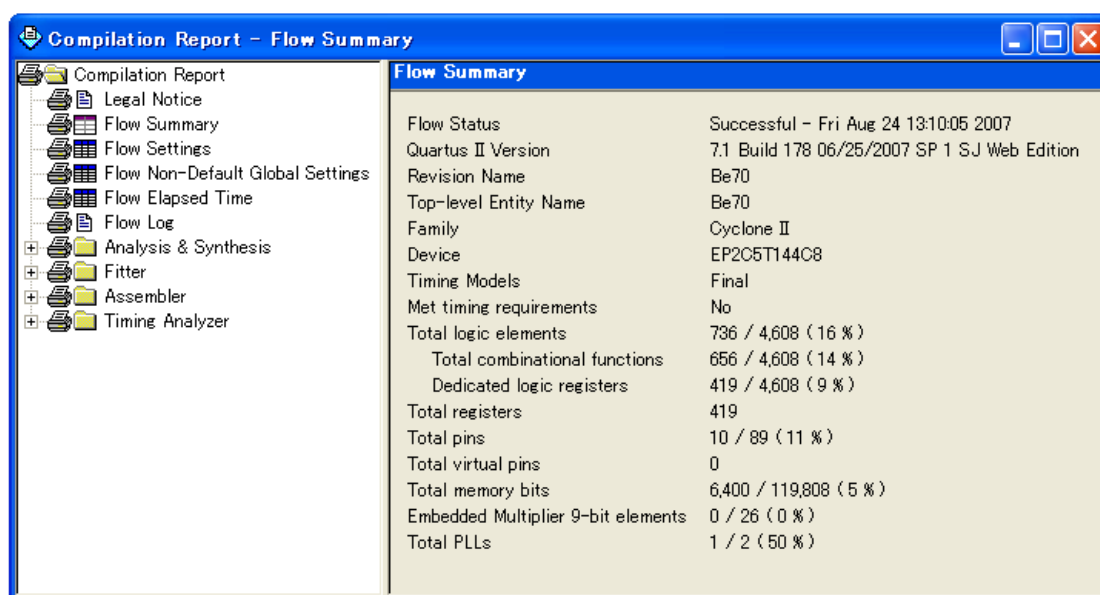
- FPGA の入出力ピン 70 点の汎用入出力がコネクタに接続されている。
- 5V の電源だけ用意すれば周辺回路へも直接接続することができる。
- 汎用入出力は TTL レベルなら 5V 系でも 3.3V 系でも接続できる。
- 汎用入出力は個々に入出力の属性を設定することができる。
- ジャンパーピンの選択で 2 種類のプログラムの切替ができる。
- ダウロード用のプログラムが用意されている。

プログラムの開発ツールは、ALTERA 社の統合環境 QuartusⅡが必要になります。QuartusⅡの Web バージョンはフリーで ALTERA 社の HP からダウンロードできます。

当社が提供する専用ダウンロードケーブル（別売）と DownLoader プログラム（無償）があればコンパイルした結果をコンフィグレーション ROM に書き込むことができます。ただし、OS が WIndows で COM ポートをもつ PC が必要です。もちろん ALTERA 社が提供する書き込み用ケーブル USB-Blaster 又は ByteBlasterⅡでも書き込みは可能です。USB-Blaster 又は ByteBlasterⅡは ALTERA 社の販売代理店などで手に入れることができます。

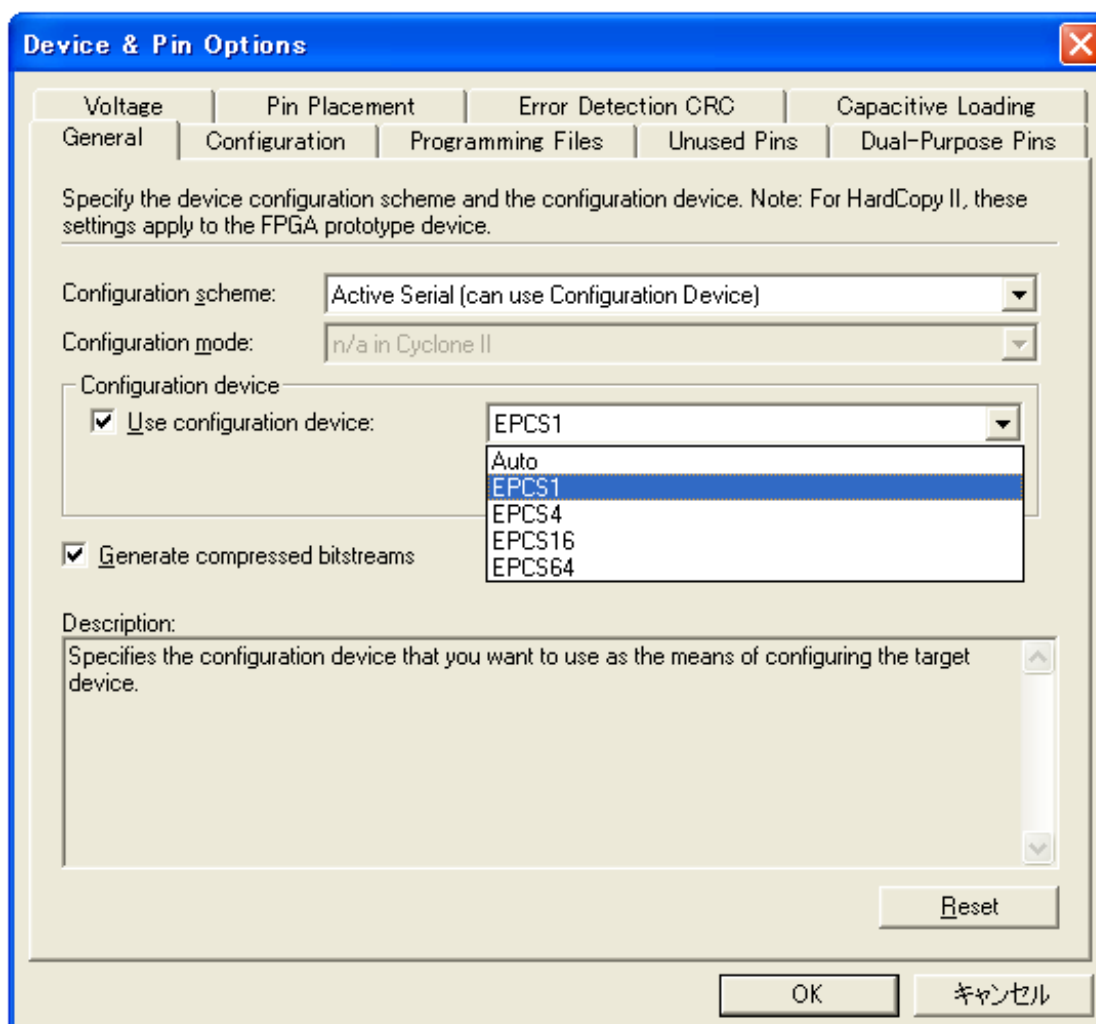
２．構成

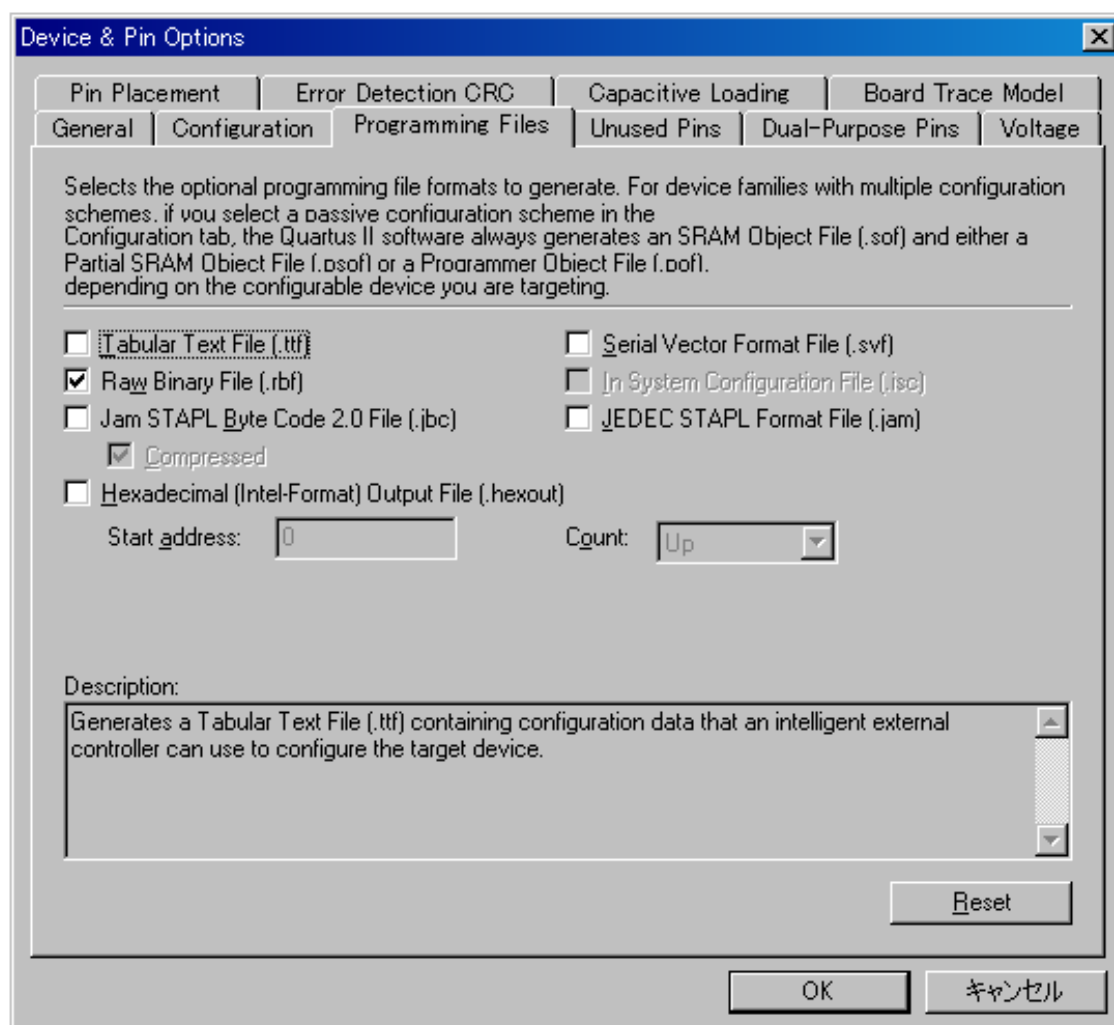
Be-70 のボードは下図のようにシンプルな構成になっています。

２．１．FPGA

Be-70 は ALTERA 社の FPGA である CyclonII シリーズの 144 ピンの EP2C5 を搭載したボードです。EP2C5 は、ロジックエレメント 4,608 個、RAM110,808bit、PLL2 個を持つ FPGA で CyclonII シリーズでは一番グレードの低い FPGA です。この資源がいったいどのくらい使い勝手があるかということになりますが、**Be-70** のダウンロードプログラムを例にとらせていただきます。

QuartusII のコンパイル結果がダイアログに表示されています。結果として、LE で 16%、メモリーで 5%しか使っていません。このダウンロードプログラムは PC と RS232C でシリアル通信をして QuartusII のコンパイル結果をコンフィグレーション用の ROM に書き込むプログラムです。いかに使い応えのあるサイズかを類推していただけたでしょうか。

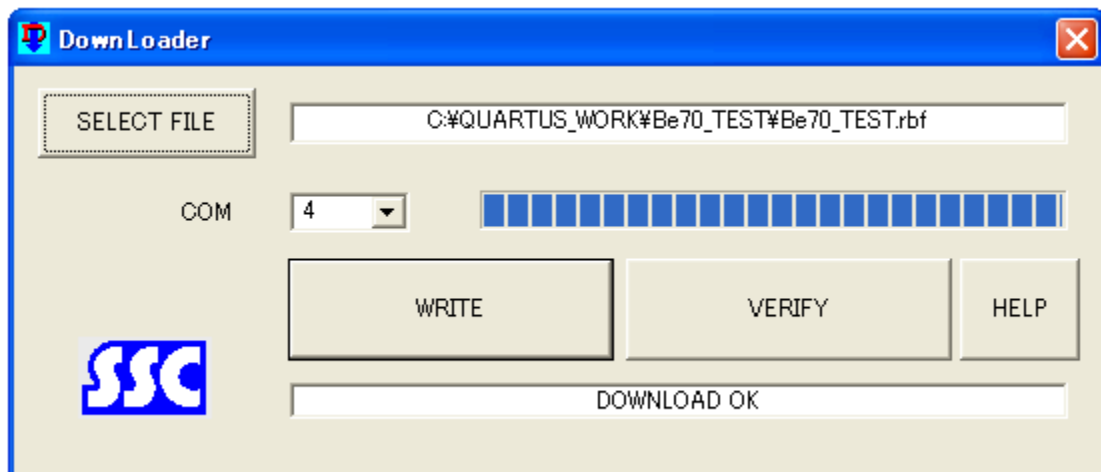
２．２．コンフィグレーション ROM

Be-70 は、FPGA を初期化するためにコンフィグレーション用 ROM の EPCS1 を搭載しています。ボードの電源 ON 時に自動的にアクティブシリアルコンフィグレーションが行われて ROM の内容が FPGA に読み込まれてコンフィグレーション完了後にプログラムが実行されます。

実は、FPGA の EP2C5 のコンフィグレーションデータサイズは、1,265,792bit で、EPCS1 のサイズは 1,048,576bit なので約 83%しか容量がありません。不足しているようですが、コンフィグレーションデータは圧縮して保存されるので一概には言えませんが 35～55%減少するようですので容量上は問題ありません。但し、QuartusII のデバイス設定で ConfigurationDevice が Auto になっていると EPCS4 が選択されますので、EPCS1 を選択してコンパイルする必要があります。下図を参考にして下さい。

２．２．１．ダウンロード（**Be-70**）

Be-70 のダウンロード機能を使うには OS が Windows の PC で COM ポートを持っているものが必要です。**Be-70** でダウンロードするファイルは RBF ファイルです。Quartus II ではデフォルトで作成しないようになっているので、下図を参照して RBF ファイルのチェックを ON にしてください。

コンパイルが終了後、**Be-70** のプログラム選択ジャンパーを “DWL” にして電源を投入します。**Be-70** の J3 と PC の COM ポートを専用のダウンロードケーブルで接続したのち DownLoader プログラムを起動します。

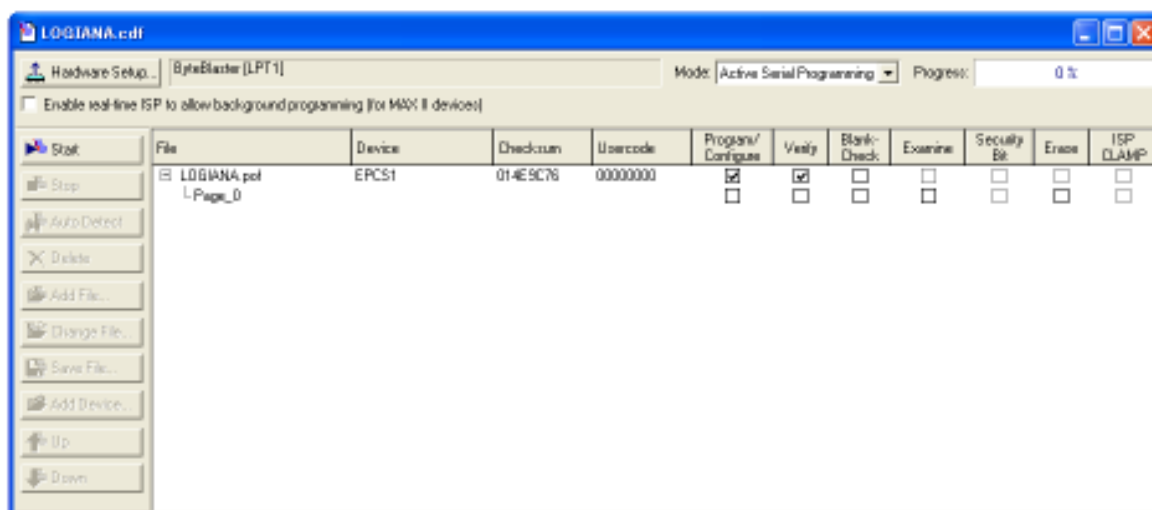
DownLoader プログラム起動後、まず **Be-70** とつながっている COM ポートの番号を設定します。次に "SELECT_FILE" ボタンを押しダウンロードする RBF ファイルを選択します。"WRITE"ボタンを押すと書き込みが開始され、下図のようにプログレスバーが進行状況を表示し最後に" DOWNLOAD_OK" のメッセージを表示してダウンロードが終了します。

ベリファイが必要な場合は "VERIFY"ボタンを押せばベリファイを実行しその結果を表示して終了します。

２．２．２．ダウンロード（Blaster）

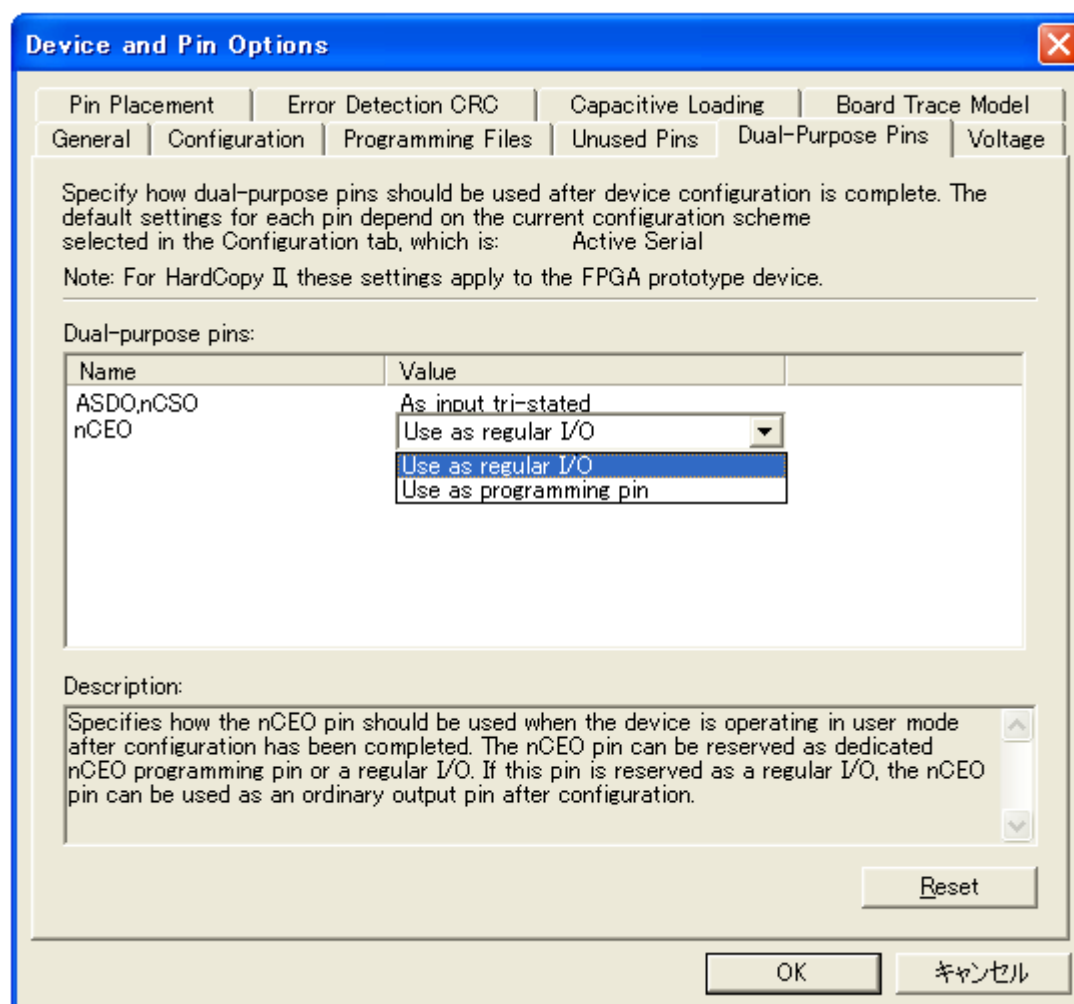
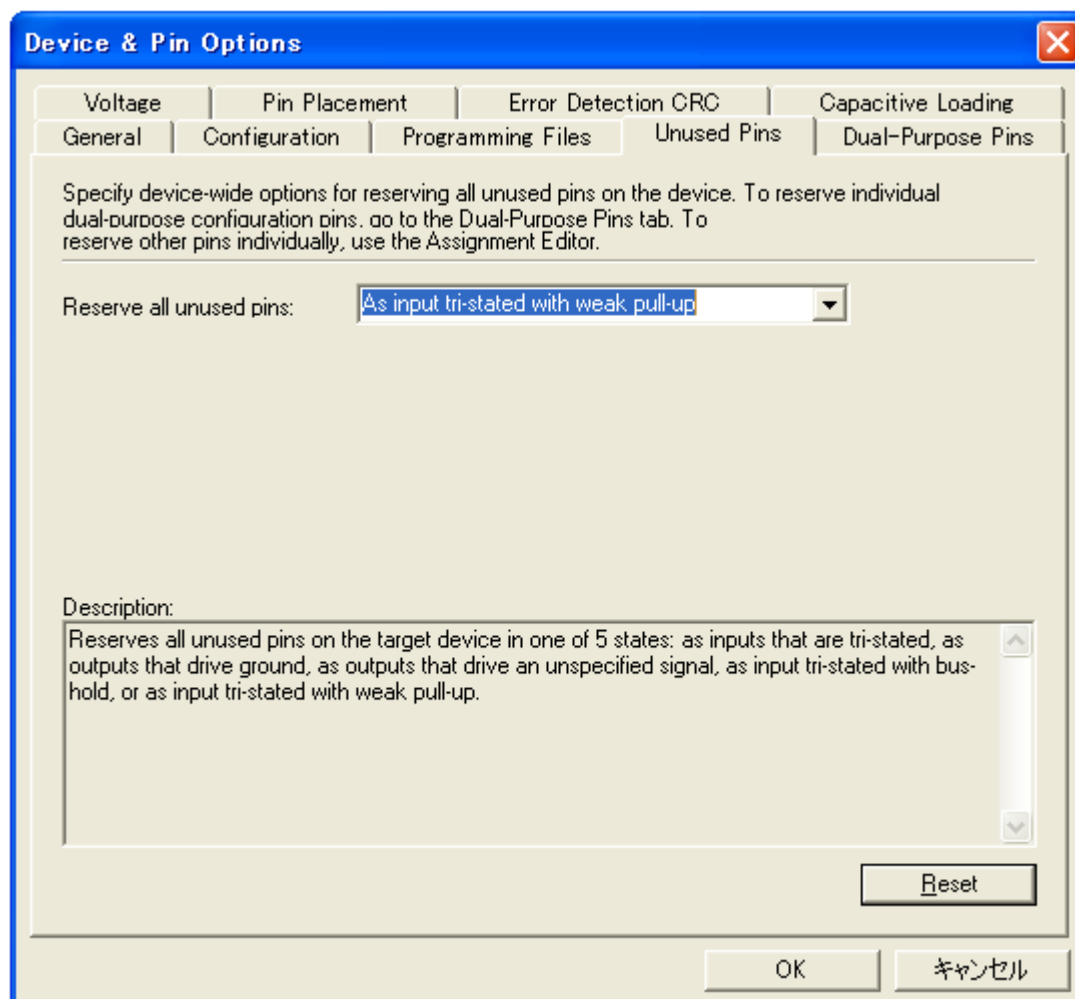
　USB-Blaster 又は ByteBlasterⅡをもちいてダウンロードする場合は以下のように行います。

QuartusII での書き込みをする際の Programmer のダイアログですが、このダイアログでは ActiveSerialPrograming モードの設定が必要です。書き込むファイルが表示されない場合は "AddFile "ボタンを押してファイル名を設定して下さい。左上の HardwareSetup の窓に使用する Blaster を設定してください。また Program/Configure のチェックも忘れないようにして下さい。下図を参考に設定して下さい。

　書き込み用の Blaster ケーブルを **Be-70** に接続する際には、どちら向きにもコネクタは接続できますので、Blaster ケーブルの 1 番ピンと **Be-70** のコネクタ J4 の 1 番ピンとが一致するように十分注意して接続して下さい。

　ダウンロードしたい ROM をジャンパーピンで選択して **Be-70** の電源をオンにします。その後ダイアログのスタートボタンを押すと書き込みが実行されます。ジャンパーピンが DWL を選択してダウンロードした場合、**Be-70** のダウンロード機能は使えなくなります。

２．３．汎用入出力

Be-70 は、FPGA の汎用入出力ピン 70 点がバススイッチ IC を経由してコネクタに接続されているので TTL レベルであれば周辺のボード等に直接接続ができます。バススイッチ IC を経由しているので入力は 5V または 3.3V の TTL レベル入力であれば FPGA が認識できます。また出力は最大 3.3V なので HCT シリーズのロジック IC なら受けることができます。バススイッチ IC は抵抗と考えられますので出力は直接 FPGA が駆動することになります。従って電流が必要なアプリケーションでは HCT シリーズの IC 等のドライバーを入れることが必要です。

また、FPGA の端子を有効に使うために QuartusII のデバイスの設定で n CE0 を I/O として使えるようにする必要があります。設定方法は下図を参考にしてください。

未使用ピンは不要な衝突などを起さないように下図のように入力に設定することを推奨します。

２．４．RS232C

Be-70 は RS232C レベルのシリアル通信チャンネルを 2ch もっています。**Be-70** のダウンロード機能ではこの内の ch 1 を使います。ちなみにこの時のパラメータは 112500 ボー、データ 8bit、ストップ 2bit、偶数パリティーです。

２．５．クロック

Be-70 は 20MHz のレゾネータを発振させたものが CLK0 に接続されています。また外部クロック入力用に EXCLK1, EXCLK2 の 2 系統用意されています。信号は TTL レベルであれば 5V 系でも 3.3V 系でも接続できます。これらのクロックは FPGA 内の PLL で周波数を m / n 倍することが出来ます。mの範囲は 1～32 で、n の範囲は 1～4 です。ただし PLL は 2 個で入力は 20MHz 以上でないと逓倍できません。また汎用入力としても使用できます。

２．７．LED

Be-70 は動作確認用に 1 回路の LED をボード上に持っています。ダウンロード用のプログラムを実行させると 0.5 秒間隔で点滅します。

２．８．主要部品

No	品名	型名	ﾒｰｶｰ	数量	備考
1	FPGA	EP2C5T144C8	ALTERA	1	CyclonⅡ
2	CONFIG 用 ROM	EPCS1SI8N	ALTERA	2	
3	ﾚｿﾞﾈｰﾀ	CCR20.0MXC7T	TDK	1	20MHz
4	RS232C ﾄﾗﾝｼｰﾊﾞ	MAX3232CUE	MAXIM	1	
5	ﾊﾞｽｽｲｯﾁ IC	TC7MBD3245AFK	TOSHIBA	9	

３．FPGA ピン一覧表

QuartusII でのピンのアサインでは、信号にピンを割り当てる必要があります。**Be-70** の FPGA に接続されている信号一覧を下の表に示します。

FPGA ピン名称	FPGA ピン番号	I/O 属性	備考	接続先 コネクタ
nLED	144	OUT	LED 点灯	--
CLK0	17	IN	20MHz	--
CLK1	18	IN	バススイッチ IC を経由して EXCLK1	J1-1
CLK2	21	IN	バススイッチ IC を経由して EXCLK2	J2-1
TX1	87	OUT	RS232C トランシーバ IC を経由して TXD1	J1-37, J3-1
RX1	89	IN	RS232C トランシーバ IC を経由して RXD1	J1-38, J3-2
TX2	86	OUT	RS232C トランシーバ IC を経由して TXD2	J2-37
RX2	88	IN	RS232C トランシーバ IC を経由して RXD2	J2-38
P1	25	I/O	バススイッチ IC を経由して PORT1	J1-2
P2	26	I/O	バススイッチ IC を経由して PORT2	J1-3
P3	27	I/O	バススイッチ IC を経由して PORT3	J1-4
P4	28	I/O	バススイッチ IC を経由して PORT4	J1-5
P5	30	I/O	バススイッチ IC を経由して PORT5	J1-6
P6	31	I/O	バススイッチ IC を経由して PORT6	J1-7
P7	32	I/O	バススイッチ IC を経由して PORT7	J1-8
P8	40	I/O	バススイッチ IC を経由して PORT8	J1-9
P9	41	I/O	バススイッチ IC を経由して PORT9	J1-10
P10	42	I/O	バススイッチ IC を経由して PORT10	J1-11
P11	43	I/O	バススイッチ IC を経由して PORT11	J1-12
P12	44	I/O	バススイッチ IC を経由して PORT12	J1-13
P13	45	I/O	バススイッチ IC を経由して PORT13	J1-14
P14	47	I/O	バススイッチ IC を経由して PORT14	J1-15
P15	48	I/O	バススイッチ IC を経由して PORT15	J1-16
P16	51	I/O	バススイッチ IC を経由して PORT16	J1-17
P17	52	I/O	バススイッチ IC を経由して PORT17	J1-18
P18	53	I/O	バススイッチ IC を経由して PORT18	J1-19
P19	55	I/O	バススイッチ IC を経由して PORT19	J1-20
P20	57	I/O	バススイッチ IC を経由して PORT20	J1-21
P21	58	I/O	バススイッチ IC を経由して PORT21	J1-22
P22	59	I/O	バススイッチ IC を経由して PORT22	J1-23
P23	60	I/O	バススイッチ IC を経由して PORT23	J1-24
P24	63	I/O	バススイッチ IC を経由して PORT24	J1-25
P25	64	I/O	バススイッチ IC を経由して PORT25	J1-26
P26	65	I/O	バススイッチ IC を経由して PORT26	J1-27
P27	67	I/O	バススイッチ IC を経由して PORT27	J1-28
P28	69	I/O	バススイッチ IC を経由して PORT28	J1-29
P29	70	I/O	バススイッチ IC を経由して PORT29	J1-30
P30	71	I/O	バススイッチ IC を経由して PORT30	J1-31
P31	72	I/O	バススイッチ IC を経由して PORT31	J1-32

FPGA ピン名称	FPGA ピン番号	I/O 属性	備考	接続先 コネクタ
P32	73	I/O	バススイッチ IC を経由して PORT32	J1-33
P33	74	I/O	バススイッチ IC を経由して PORT33	J1-34
P34	75	I/O	バススイッチ IC を経由して PORT34	J1-35
P35	76	I/O	バススイッチ IC を経由して PORT35	J1-36
P36	143	I/O	バススイッチ IC を経由して PORT36	J2-2
P37	142	I/O	バススイッチ IC を経由して PORT37	J2-3
P38	141	I/O	バススイッチ IC を経由して PORT38	J2-4
P39	139	I/O	バススイッチ IC を経由して PORT39	J2-5
P40	137	I/O	バススイッチ IC を経由して PORT40	J2-6
P41	136	I/O	バススイッチ IC を経由して PORT41	J2-7
P42	135	I/O	バススイッチ IC を経由して PORT42	J2-8
P43	134	I/O	バススイッチ IC を経由して PORT43	J2-9
P44	133	I/O	バススイッチ IC を経由して PORT44	J2-10
P45	132	I/O	バススイッチ IC を経由して PORT45	J2-11
P46	129	I/O	バススイッチ IC を経由して PORT46	J2-12
P47	126	I/O	バススイッチ IC を経由して PORT47	J2-13
P48	125	I/O	バススイッチ IC を経由して PORT48	J2-14
P49	122	I/O	バススイッチ IC を経由して PORT49	J2-15
P50	121	I/O	バススイッチ IC を経由して PORT50	J2-16
P51	120	I/O	バススイッチ IC を経由して PORT51	J2-17
P52	119	I/O	バススイッチ IC を経由して PORT52	J2-18
P53	118	I/O	バススイッチ IC を経由して PORT53	J2-19
P54	115	I/O	バススイッチ IC を経由して PORT54	J2-20
P55	114	I/O	バススイッチ IC を経由して PORT55	J2-21
P56	113	I/O	バススイッチ IC を経由して PORT56	J2-22
P57	112	I/O	バススイッチ IC を経由して PORT57	J2-23
P58	104	I/O	バススイッチ IC を経由して PORT58	J2-24
P59	103	I/O	バススイッチ IC を経由して PORT59	J2-25
P60	101	I/O	バススイッチ IC を経由して PORT60	J2-26
P61	100	I/O	バススイッチ IC を経由して PORT61	J2-27
P62	99	I/O	バススイッチ IC を経由して PORT62	J2-28
P63	97	I/O	バススイッチ IC を経由して PORT63	J2-29
P64	96	I/O	バススイッチ IC を経由して PORT64	J2-30
P65	94	I/O	バススイッチ IC を経由して PORT65	J2-31
P66	93	I/O	バススイッチ IC を経由して PORT66	J2-32
P67	92	I/O	バススイッチ IC を経由して PORT67	J2-33
P68	81	I/O	バススイッチ IC を経由して PORT68	J2-34
P69	80	I/O	バススイッチ IC を経由して PORT69	J2-35
P70	79	I/O	バススイッチ IC を経由して PORT70	J2-36
CLK3	22	IN	予約	TDO
CLK4	91	IN	予約	n CS0
CLK5	90	IN	予約	DATA0
IO71	7	OUT	予約	TDI
IO72	4	OUT	予約	TMS

FPGA ピン名称	FPGA ピン番号	I/O 属性	備考	接続先 コネクタ
IO73	3	OUT	予約	TCK
IO74	8	OUT	予約	DCLK
IO75	9	OUT	予約	n ROM1
IO76	24	OUT	予約	n ROM2

QuartusⅡでの予約ピンの扱いは、ピンの定義をせずに “２．３．汎用入出力“の章で説明しているように”As input tri-stated with weak pull-up“に設定してください。

４．コネクタ

４．１．外部接続用コネクタ１（J1）

コネクタ ピン番号	コネクタ ピン名称	FPGA ピン番号	備考
1	EXCLK1	18	外部クロック入力
2	PORT1	25	汎用入出力信号
3	PORT2	26	:
4	PORT3	27	:
5	PORT4	28	:
6	PORT5	30	:
7	PORT6	31	:
8	PORT7	32	:
9	PORT8	40	:
10	PORT9	41	:
11	PORT10	42	:
12	PORT11	43	:
13	PORT12	44	:
14	PORT13	45	:
15	PORT14	47	:
16	PORT15	48	:
17	PORT16	51	:
18	PORT17	52	:
19	PORT18	53	:
20	PORT19	55	:
21	PORT20	57	:
22	PORT21	58	:
23	PORT22	59	:
24	PORT23	60	:
25	PORT24	63	:
26	PORT25	64	:
27	PORT26	65	:
28	PORT27	67	:
29	PORT28	69	:
30	PORT29	70	:
31	PORT30	71	:
32	PORT31	72	:
33	PORT32	73	:
34	PORT33	74	:
35	PORT34	75	:
36	PORT35	76	汎用入出力信号
37	TXD1	87	RS232C　CH1 送信データ（Be-70 の出力）
38	RXD1	89	RS232C　CH1 受信データ（Be-70 の入力）
39	VCCIO	--	5V 供給電源
40	GND	--	シグナルグランド

４．２．外部接続用コネクタ２（J2）

コネクタ ピン番号	コネクタ ピン名称	FPGA ピン番号	備考
1	EXCLK2	21	外部クロック入力
2	PORT36	143	汎用入出力信号
3	PORT37	142	:
4	PORT38	141	:
5	PORT39	139	:
6	PORT40	137	:
7	PORT41	136	:
8	PORT42	135	:
9	PORT43	134	:
10	PORT44	133	:
11	PORT45	132	:
12	PORT46	129	:
13	PORT47	126	:
14	PORT48	125	:
15	PORT49	122	:
16	PORT50	121	:
17	PORT51	120	:
18	PORT52	119	:
19	PORT53	118	:
20	PORT54	115	:
21	PORT55	114	:
22	PORT56	113	:
23	PORT57	112	:
24	PORT58	104	:
25	PORT59	103	:
26	PORT60	101	:
27	PORT61	100	:
28	PORT62	99	:
29	PORT63	97	:
30	PORT64	96	:
31	PORT65	94	:
32	PORT66	93	:
33	PORT67	92	:
34	PORT68	81	:
35	PORT69	80	:
36	PORT70	79	汎用入出力信号
37	TXD2	86	RS232C　CH2 送信データ（Be-70 の出力）
38	RXD2	88	RS232C　CH2 受信データ（Be-70 の入力）
39	VCCIO	--	5V 供給電源
40	GND	--	シグナルグランド

４．３．Be-70 書き込みケーブル用コネクタ（J3）

ピン番	ピン名称	備考
1	5V	
2	TXD1	RS232C　CH1 送信データ（Be-70 の出力）
3	RXD1	RS232C　CH1 受信データ（Be-70 の入力）
4	GND	シグナルグランド

４．３．Blaster 書き込みケーブル用コネクタ（J4）

ピン番	ピン名称	備考
1	DCLK	
2	GND	シグナルグランド
3	CONFIG_DONE	
4	VCC	3.3V
5	CONFIG_N	
6	CE_N	
7	DATA0	
8	CS0_N	
9	ASDO	
10	GND	シグナルグランド

５．電気的特性

５．１．絶対最大定格

記　号	項　目	条　件	定 格 値	単 位
V_{CCIO}	供給電圧		-0.5～7	V
V_{I}	入力電圧		-0.5～Vcc+0.5	V
I_{OUT}	出力電流	ピン当り	-25／+40(*1)	mA
Icc	消費電流	FPGA,ROM,BUSSW	250(*2)	mA
T_{STG}	保存温度	結露しないこと	-40～+125	℃

(*1)トータルで消費電流以下におさえる必要がある。

(*2)消費電流がオーバーすると３端子レギュレータの保護回路がはたらき電力供給が停止する。これを解除するには電源の再投入しか手段はない。

５．２．推奨動作条件

記　号	項　目	条　件	定 格 値	単 位
V_{CCIO}	供給電圧		5	V
V_{I}	入力電圧		0～ V_{CCIO}	V
V_{O}	出力電圧		0～ V_{CCIO}	V
T_{A}	動作温度	結露しないこと	0～+70	℃
Icc	消費電流	ダウンロード プログラム実行時	90	mA

６．免責事項

Be-70 は、試作・実験・組込用に提供しているものです。製品に組み込む場合は、お客様の責任で使用してください。**Be-70** を使うことで発生する損害については有限会社スクラムソフトは責任を負いません。

なお本取扱説明書は予告無く変更することがあります。